

O autorze (13)

Przedmowa do wydania polskiego (15)

Przedmowa (19)

1. Wprowadzenie (23)

- 1.1. Strukturalna organizacja komputera (24)
 - o 1.1.1. Języki, poziomy i maszyny wirtualne (24)
 - o 1.1.2. Współczesne komputery wielopoziomowe (26)
 - o 1.1.3. Ewolucja komputerów wielopoziomowych (29)
- 1.2. Kamienie milowe architektury komputerów (34)
 - o 1.2.1. Generacja 0 - komputery mechaniczne (1642 - 1945) (36)
 - o 1.2.2. Pierwsza generacja - lampy próżniowe (1945 - 1955) (38)
 - o 1.2.3. Druga generacja - tranzystory (1955 - 1965) (40)
 - o 1.2.4. Trzecia generacja - układy scalone (1965 - 1980) (43)
 - o 1.2.5. Czwarta generacja - bardzo duża skala integracji (1980 - ?) (44)
 - o 1.2.6. Piąta generacja - niewidzialne komputery (47)
- 1.3. Komputerowe zoo (48)
 - o 1.3.1. Siły techniczne i ekonomiczne (48)
 - o 1.3.2. Rodzaje komputerów (50)
 - o 1.3.3. Komputery jednorazowego użytku (50)
 - o 1.3.4. Mikrosterowniki (52)
 - o 1.3.5. Komputery do gier (54)
 - o 1.3.6. Komputery osobiste (55)
 - o 1.3.7. Serwery (56)
 - o 1.3.8. Grupy stacji roboczych (56)
 - o 1.3.9. Komputery mainframe (56)
- 1.4. Rodziny komputerów - przykłady (57)
 - o 1.4.1. Pentium 4 (58)
 - o 1.4.2. UltraSPARC III (63)
 - o 1.4.3. 8051 (64)
- 1.5. Komputerowe jednostki miar (66)
- 1.6. Układ książki (67)

2. Organizacja systemów komputerowych (71)

- 2.1. Procesory (71)
 - o 2.1.1. Organizacja jednostki centralnej (72)
 - o 2.1.2. Wykonanie rozkazu (73)
 - o 2.1.3. RISC i CISC (77)
 - o 2.1.4. Reguły projektowania współczesnych komputerów (78)
 - o 2.1.5. Równoległość na poziomie rozkazów (80)
 - o 2.1.6. Równoległość na poziomie procesorów (84)
- 2.2. Pamięć główna (88)
 - o 2.2.1. Bity (88)
 - o 2.2.2. Adresowanie pamięci (89)
 - o 2.2.3. Porządek bajtów (90)
 - o 2.2.4. Kody korekcji błędów (92)
 - o 2.2.5. Pamięć podręczna (96)
 - o 2.2.6. Obudowy i typy pamięci (99)
- 2.3. Pamięć pomocnicza (100)

- o 2.3.1. Hierarchie pamięci (100)
- o 2.3.2. Dyski magnetyczne (101)
- o 2.3.3. Dyskietki (104)
- o 2.3.4. Dyski IDE (105)
- o 2.3.5. Dyski SCSI (107)
- o 2.3.6. Macierze RAID (108)
- o 2.3.7. Dyski CD-ROM (112)
- o 2.3.8. Nagrywalne dyski CD (116)
- o 2.3.9. Dyski CD wielokrotnego zapisu (118)
- o 2.3.10. Dyski DVD (118)
- o 2.3.11. Blu-Ray (120)
- 2.4. Urządzenia wejścia-wyjścia (121)
 - o 2.4.1. Magistrale (121)
 - o 2.4.2. Terminale (124)
 - o 2.4.3. Myszy (128)
 - o 2.4.4. Drukarki (130)
 - o 2.4.5. Wyposażenie telekomunikacyjne (135)
 - o 2.4.6. Cyfrowe aparaty fotograficzne (143)
 - o 2.4.7. Kody znakowe (145)
- 2.5. Podsumowanie (149)

3. Poziom układów logicznych (153)

- 3.1. Bramki i algebra Boole'a (153)
 - o 3.1.1. Bramki (154)
 - o 3.1.2. Algebra Boole'a (156)
 - o 3.1.3. Implementacja funkcji logicznych (158)
 - o 3.1.4. Równoważność układów logicznych (160)
- 3.2. Podstawowe układy cyfrowe (163)
 - o 3.2.1. Układy scalone (163)
 - o 3.2.2. Układy kombinacyjne (165)
 - o 3.2.3. Układy arytmetyczne (170)
 - o 3.2.4. Zegary (174)
- 3.3. Pamięć (175)
 - o 3.3.1. Zatrzaski (176)
 - o 3.3.2. Przerzutniki (178)
 - o 3.3.3. Rejestry (180)
 - o 3.3.4. Organizacja pamięci (182)
 - o 3.3.5. Układy pamięci (184)
 - o 3.3.6. Pamięci ROM i RAM (187)
- 3.4. Układy procesorów i magistrale (190)
 - o 3.4.1. Układy procesorów (190)
 - o 3.4.2. Magistrale (192)
 - o 3.4.3. Szerokość magistrali (195)
 - o 3.4.4. Taktowanie magistrali (196)
 - o 3.4.5. Arbitraż magistrali (201)
 - o 3.4.6. Operacje magistrali (204)
- 3.5. Przykładowe układy procesorów (206)
 - o 3.5.1. Pentium 4 (206)
 - o 3.5.2. UltraSPARC III (212)

- o 3.5.3. 8051 (216)
- 3.6. Przykładowe magistrale (218)
 - o 3.6.1. Magistrala ISA (219)
 - o 3.6.2. Magistrala PCI (220)
 - o 3.6.3. PCI Express (228)
 - o 3.6.4. Universal Serial Bus (233)
- 3.7. Interfejs wejścia-wyjścia (236)
 - o 3.7.1. Układy wejścia-wyjścia (237)
 - o 3.7.2. Dekodowanie adresów (238)
- 3.8. Podsumowanie (241)

4. Poziom mikroarchitektury (247)

- 4.1. Przykładowa mikroarchitektura (247)
 - o 4.1.1. Ścieżka danych (249)
 - o 4.1.2. Mikrorozkazy (254)
 - o 4.1.3. Wykonywanie mikroprogramów: Mic-1 (257)
- 4.2. Przykładowy poziom maszynowy: IJVM (262)
 - o 4.2.1. Stosy (262)
 - o 4.2.2. Model pamięci maszyny IJVM (264)
 - o 4.2.3. Lista rozkazów IJVM (266)
 - o 4.2.4. Kompilowanie języka Java do postaci IJVM (269)
- 4.3. Przykładowy poziom realizacji (271)
 - o 4.3.1. Notacja mikrorozkazów (271)
 - o 4.3.2. Implementacja IJVM w architekturze Mic-1 (276)
- 4.4. Projektowanie poziomu mikroarchitektury (288)
 - o 4.4.1. Szybkość a koszt (288)
 - o 4.4.2. Skracanie ścieżki wykonania (291)
 - o 4.4.3. Wstępne pobieranie rozkazów: Mic-2 (297)
 - o 4.4.4. Konstrukcja potokowa: Mic-3 (301)
 - o 4.4.5. Potok siedmiostopniowy: Mic-4 (306)
- 4.5. Poprawianie wydajności mikroarchitektury (309)
 - o 4.5.1. Pamięć podręczna (310)
 - o 4.5.2. Przewidywanie rozgałęzień (316)
 - o 4.5.3. Wykonywanie rozkazów poza kolejnością i przemianowywanie rejestrów (321)
 - o 4.5.4. Wykonanie spekulatywne (327)
- 4.6. Przykłady mikroarchitektury (329)
 - o 4.6.1. Mikroarchitektura procesora Pentium 4 (330)
 - o 4.6.2. Mikroarchitektura procesora UltraSPARC III Cu (335)
 - o 4.6.3. Mikroarchitektura procesora 8051 (340)
- 4.7. Porównanie przykładowych mikroarchitektur (342)
- 4.8. Podsumowanie (344)

5. Konwencjonalny poziom maszynowy (ISA) (349)

- 5.1. Ogólny przegląd poziomu ISA (351)
 - o 5.1.1. Własności konwencjonalnego poziomu maszynowego (351)
 - o 5.1.2. Modele pamięci (353)
 - o 5.1.3. Rejestry (355)

- o 5.1.4. Rozkazy (357)
 - o 5.1.5. Poziom maszynowy procesora Pentium 4 (357)
 - o 5.1.6. Poziom maszynowy procesora UltraSPARC III (359)
 - o 5.1.7. Konwencjonalny poziomy maszynowy procesora 8051 (363)
- 5.2. Typy danych (366)
 - o 5.2.1. Dane numeryczne (366)
 - o 5.2.2. Dane nienumeryczne (367)
 - o 5.2.3. Typy danych procesora Pentium 4 (368)
 - o 5.2.4. Typy danych procesora UltraSPARC III (369)
 - o 5.2.5. Typy danych procesora 8051 (369)
- 5.3. Formaty rozkazów (370)
 - o 5.3.1. Kryteria projektowania formatu rozkazów (371)
 - o 5.3.2. Rozszerzalne kody operacji (373)
 - o 5.3.3. Formaty rozkazów procesora Pentium 4 (375)
 - o 5.3.4. Formaty rozkazów procesora UltraSPARC III (376)
 - o 5.3.5. Formaty rozkazów procesora 8051 (377)
- 5.4. Adresowanie (378)
 - o 5.4.1. Tryby adresowania (378)
 - o 5.4.2. Adresowanie natychmiastowe (379)
 - o 5.4.3. Adresowanie bezpośrednie (379)
 - o 5.4.4. Adresowanie rejestrowe (379)
 - o 5.4.5. Adresowanie pośrednie rejestrowe (380)
 - o 5.4.6. Adresowanie indeksowe (381)
 - o 5.4.7. Adresowanie indeksowe z wartością bazową (383)
 - o 5.4.8. Adresowanie stosowe (383)
 - o 5.4.9. Tryby adresowania w rozkazach rozgałęzień (386)
 - o 5.4.10. Ortogonalność kodów operacji i trybów adresowania (387)
 - o 5.4.11. Tryby adresowania procesora Pentium 4 (389)
 - o 5.4.12. Tryby adresowania procesora UltraSPARC III (391)
 - o 5.4.13. Tryby adresowania procesora 8051 (391)
 - o 5.4.14. Porównanie trybów adresowania (392)
- 5.5. Typy rozkazów (393)
 - o 5.5.1. Rozkazy do przenoszenia danych (393)
 - o 5.5.2. Operacje dwuargumentowe (394)
 - o 5.5.3. Operacje jednoargumentowe (395)
 - o 5.5.4. Porównania i skoki warunkowe (398)
 - o 5.5.5. Rozkazy wywoływania procedur (399)
 - o 5.5.6. Sterowanie wykonywaniem pętli (400)
 - o 5.5.7. Wejście-wyjście (402)
 - o 5.5.8. Rozkazy procesora Pentium 4 (405)
 - o 5.5.9. Rozkazy procesora UltraSPARC III (410)
 - o 5.5.10. Rozkazy procesora 8051 (413)
 - o 5.5.11. Porównanie zestawów rozkazów (416)
- 5.6. Sterowanie (417)
 - o 5.6.1. Sterowanie sekwencyjne i skoki (417)
 - o 5.6.2. Procedury (419)
 - o 5.6.3. Współprogramy (424)
 - o 5.6.4. Pułapki (426)
 - o 5.6.5. Przerwania (427)

- 5.7. Szczegółowy przykład - rozwiązanie problemu wież z Hanoi w języku asemblera (431)
 - o 5.7.1. Rozwiązanie problemu wież z Hanoi w języku asemblera Pentium 4 (432)
 - o 5.7.2. Rozwiązanie problemu wież z Hanoi w języku asemblera UltraSPARC III (434)
- 5.8. Architektura IA-64 i procesor Itanium 2 (437)
 - o 5.8.1. Problemy związane z architekturą Pentium 4 (437)
 - o 5.8.2. Model IA-64: jawne zrównoleglenie rozkazów (EPIC) (439)
 - o 5.8.3. Redukowanie liczby odwołań do pamięci (439)
 - o 5.8.4. Szeregowanie rozkazów (440)
 - o 5.8.5. Redukcja skoków warunkowych - predykcja (442)
 - o 5.8.6. Spekulatywne wykonywanie rozkazów LOAD (445)
- 5.9. Podsumowanie (445)

6. Poziom systemu operacyjnego (453)

- 6.1. Pamięć wirtualna (454)
 - o 6.1.1. Stronicowanie (455)
 - o 6.1.2. Implementacja stronicowania (458)
 - o 6.1.3. Stronicowanie na żądanie i koncepcja zbioru roboczego (462)
 - o 6.1.4. Taktyka wymiany stron (463)
 - o 6.1.5. Rozmiar strony a fragmentacja (465)
 - o 6.1.6. Segmentacja (466)
 - o 6.1.7. Implementacja segmentacji (469)
 - o 6.1.8. Pamięć wirtualna procesora Pentium 4 (473)
 - o 6.1.9. Pamięć wirtualna komputera UltraSPARC III (479)
 - o 6.1.10. Pamięć wirtualna a cache'owanie (482)
- 6.2. Wirtualne instrukcje wejścia-wyjścia (483)
 - o 6.2.1. Pliki (484)
 - o 6.2.2. Implementacja wirtualnych instrukcji wejścia-wyjścia (485)
 - o 6.2.3. Instrukcje zarządzania katalogami plików (489)
- 6.3. Wirtualne instrukcje przetwarzania równoległego (491)
 - o 6.3.1. Tworzenie procesów (492)
 - o 6.3.2. Problem wyścigu (492)
 - o 6.3.3. Synchronizacja procesów za pomocą semaforów (497)
- 6.4. Przykłady systemów operacyjnych (502)
 - o 6.4.1. Wprowadzenie (502)
 - o 6.4.2. Przykłady pamięci wirtualnych (511)
 - o 6.4.3. Przykłady wirtualnych operacji wejścia-wyjścia (515)
 - o 6.4.4. Przykłady zarządzania procesami (527)
- 6.5. Podsumowanie (534)

7. Poziom języka asemblera (543)

- 7.1. Wprowadzenie do języka asemblera (544)
 - o 7.1.1. Czym jest język asemblera? (544)
 - o 7.1.2. Dlaczego w ogóle używa się assemblerów? (545)
 - o 7.1.3. Format instrukcji assemblerowych (548)
 - o 7.1.4. Pseudoinstrukcje (552)

- 7.2. Makra (555)
 - o 7.2.1. Definicja, wywołanie i rozwijanie makra (555)
 - o 7.2.2. Makra z parametrami (557)
 - o 7.2.3. Zaawansowane wykorzystywanie makr (558)
 - o 7.2.4. Implementacja mechanizmu makr w assemblerach (560)
- 7.3. Proces asemblacji (561)
 - o 7.3.1. Asemblery dwuprzebiegowe (561)
 - o 7.3.2. Przebieg pierwszy (562)
 - o 7.3.3. Przebieg drugi (567)
 - o 7.3.4. Tablica symboli (569)
- 7.4. Konsolidacja i ładowanie programu (570)
 - o 7.4.1. Zadania wykonywane przez konsolidator (572)
 - o 7.4.2. Struktura modułu wynikowego (575)
 - o 7.4.3. Czas wiązania i relokacja dynamiczna (576)
 - o 7.4.4. Łączenie dynamiczne (579)
- 7.5. Podsumowanie (583)

8. Architektury komputerów równoległych (587)

- 8.1. Zrównoleglenie na poziomie układu scalonego (588)
 - o 8.1.1. Zrównoleglone wykonywanie rozkazów (589)
 - o 8.1.2. Wielowątkowość na poziomie układu scalonego (597)
 - o 8.1.3. Wieloprocesory jednoukładowe (603)
- 8.2. Koprocesory (609)
 - o 8.2.1. Procesory sieciowe (609)
 - o 8.2.2. Procesory multimedialne (617)
 - o 8.2.3. Kryptoprocesory (623)
- 8.3. Wieloprocesory ze współdzieloną pamięcią (624)
 - o 8.3.1. Wieloprocesory a wielokomputery (624)
 - o 8.3.2. Semantyka współdzielenia pamięci (632)
 - o 8.3.3. Architektura UMA wieloprocesora symetrycznego (636)
 - o 8.3.4. Wieloprocesory NUMA (646)
 - o 8.3.5. Wieloprocesory COMA (654)
- 8.4. Wielokomputery przekazujące komunikaty (656)
 - o 8.4.1. Sieci połączeniowe (658)
 - o 8.4.2. MPP - masywnie zrównoleglone procesory (661)
 - o 8.4.3. Obliczenia klastrowe (671)
 - o 8.4.4. Oprogramowanie komunikacyjne dla wielokomputerów (677)
 - o 8.4.5. Szeregowanie zadań (680)
 - o 8.4.6. Implementacja współdzielonej pamięci na poziomie aplikacji (681)
 - o 8.4.7. Wydajność (689)
- 8.5. Obliczenia siatkowe (696)
- 8.6. Podsumowanie (699)

9. Literatura uzupełniająca i bibliografia (703)

- 9.1. Propozycje dotyczące dalszej lektury (703)
 - o 9.1.1. Wprowadzenie i zagadnienia ogólne (703)
 - o 9.1.2. Organizacja systemów komputerowych (705)
 - o 9.1.3. Poziom układów logicznych (706)

- o 9.1.4. Poziom mikroarchitektury (707)
- o 9.1.5. Konwencjonalny poziom maszynowy (708)
- o 9.1.6. Poziom systemu operacyjnego (709)
- o 9.1.7. Poziom języka asemblera (710)
- o 9.1.8. Architektury komputerów równoległych (710)
- o 9.1.9. Liczby binarne i zmiennopozycyjne (712)
- o 9.1.10. Programowanie w języku asemblera (713)
- 9.2. Alfabetyczny wykaz cytowanej literatury (713)

A Liczby dwójkowe (727)

- A.1. Liczby o skończonej precyzji (727)
- A.2. Pozycyjne systemy liczbowe (730)
- A.3. Transformacje liczb między systemami pozycyjnymi (731)
- A.4. Ujemne liczby dwójkowe (735)
- A.5. Arytmetyka dwójkowa (737)

B Liczby zmiennopozycyjne (741)

- B.1. Zasady arytmetyki zmiennopozycyjnej (741)
- B.2. Standard arytmetyki zmiennopozycyjnej IEEE-754 (745)

C Programowanie w języku asemblera (751)

- C.1. Wprowadzenie (752)
 - o C.1.1. Język asemblera (752)
 - o C.1.2. Prosty program w języku asemblera (753)
- C.2. Procesor 8088 (754)
 - o C.2.1. Cykl procesora (755)
 - o C.2.2. Rejestry uniwersalne (755)
 - o C.2.3. Rejestry wskaźnikowo-indeksowe (757)
- C.3. Pamięć i jej adresowanie (760)
 - o C.3.1. Organizacja pamięci i segmenty (760)
 - o C.3.2. Adresowanie (762)
- C.4. Zestaw instrukcji procesora 8088 (767)
 - o C.4.1. Instrukcje przesyłania danych i instrukcje arytmetyczne (770)
 - o C.4.2. Operacje logiczne, bitowe i przesunięcia (773)
 - o C.4.3. Instrukcje pętli i iterowane instrukcje łańcuchowe (774)
 - o C.4.4. Skoki i wywołania podprogramów (776)
 - o C.4.5. Wywołania podprogramów (777)
 - o C.4.6. Wywołania systemowe i procedury systemu (779)
 - o C.4.7. Dodatkowe uwagi na temat instrukcji procesora 8088 (782)
- C.5. Asembler (783)
 - o C.5.1. Wprowadzenie (783)
 - o C.5.2. Asembler as88 (ACK) (784)
 - o C.5.3. Asembler as88 a inne assembly dla procesora 8088 (788)
- C.6. Program śledzący (790)
 - o C.6.1. Polecenia programu śledzącego (792)
- C.7. Zaczynamy! (794)
- C.8. Przykłady (795)

- o C.8.1. Hello World (796)
- o C.8.2. Wykorzystanie rejestrów uniwersalnych (799)
- o C.8.3. Instrukcja CALL i rejestry wskaźnikowe (800)
- o C.8.4. Debugowanie programu drukującego elementy wektora (804)
- o C.8.5. Manipulowanie łańcuchami i instrukcje łańcuchowe (807)
- o C.8.6. Tablice sterujące (811)
- o C.8.7. Buforowany i swobodny dostęp do plików (813)

Skorowidz (819)